



(19)

(11) Publication number: 2000195286 A

Generated Document

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 10374812

(51) Intl. Cl.: G11C 17/12 G11C 17/18 H01L 21/8246  
H01L 27/112

(22) Application date: 28.12.98

(30) Priority:

(43) Date of application  
publication: 14.07.00

(84) Designated  
contracting states:

(71) Applicant: FUJITSU LTD

(72) Inventor: SASAGAWA RYUHEI  
KAWASHIMA SHOICHIRO

(74) Representative:

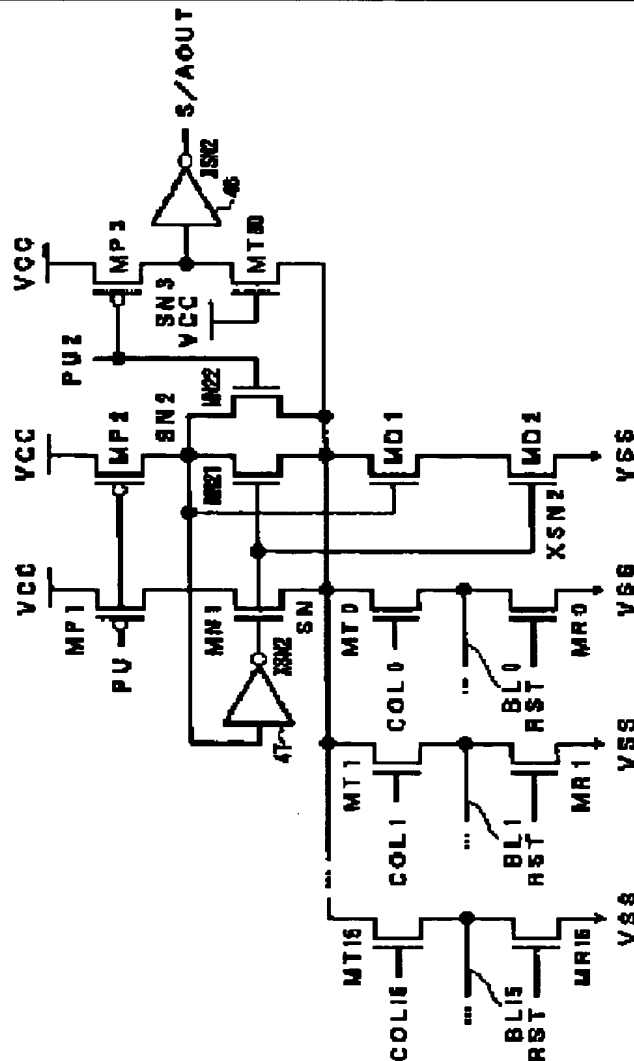
### (54) SEMICONDUCTOR MEMORY

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor memory such that power consumption is reduced by preventing the reduction of operation speed caused by reducing the drive capability of a cell transistor and of pre-charge capability, when power source voltage is lowered.

**SOLUTION:** This device has pre-charge control circuits 47, MT30, MN22 which vary the pre-charge current of pre-charge circuits MP1, MP2, MP3, MN1, MN21 according to the potential of a bit line or the output potential of a sense amplifier. Thus, since the pre-charge current of the pre-charge circuit is varied according to the potential of a bit line or the output potential of a sense amplifier, first a bit line is rapidly pre-charged, and when the potential has risen, one part or the whole part are stopped, then the potential difference corresponding to the data of a ROM cell is made larger rapidly, high-speed sense operation becomes available.

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-195286

(P2000-195286A)

(43) 公開日 平成12年7月14日 (2000.7.14)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)	
G 1 1 C 17/12		G 1 1 C 17/00	3 0 4 B	5 B 0 0 3
	17/18		3 0 6 A	5 F 0 8 3
H 0 1 L 21/8246		H 0 1 L 27/10	4 3 3	
	27/112			

審査請求 未請求 請求項の数 4 O L (全 13 頁)

(21) 出願番号 特願平10-374812

(22) 出願日 平成10年12月28日 (1998. 12. 28)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 笹川 隆平

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72) 発明者 川島 将一郎

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(74) 代理人 100070150

弁理士 伊東 忠彦

Fターム (参考) 5B003 AB07 AC04 AC08 AI05 AD07

5F083 CR01 GA01 GA05 LA03 LA09

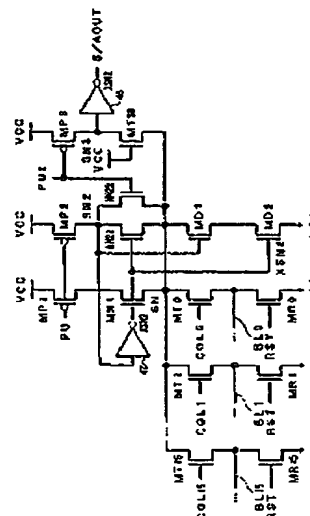
(54) 【発明の名称】 半導体記憶装置

## (57) 【要約】

【課題】 本発明は、電源電圧を下げた場合のセルトランジスタの駆動能力低下、及びプリチャージ能力の低下による動作速度の低下を防止して、消費電力を低減する半導体記憶装置を提供することを目的とする。

【解決手段】 ビット線の電位またはセンスアンプの出力電位に応じてプリチャージ回路 (MP1, MP2, MP3, MN1, MN21) のプリチャージ電流を可変するプリチャージ制御回路 (47, MT30, MN22) を有する。このように、ビット線の電位またはセンスアンプの出力電位に応じてプリチャージ回路のプリチャージ電流を可変するため、まず、ビット線を急速にプリチャージし、電位が上がったところでプリチャージ回路の一部または全部を停止させると、この時点からROMセルのデータに応じた電位差が急速に大きくなるので、高速なセンス動作が可能となる。

本発明装置であるマスクROMのセンス回路部分の第1実施例の回路図



## 【特許請求の範囲】

【請求項1】 マスクROMを形成した半導体記憶装置において、

前記マスクROMのNOR型ROMセルを構成するトランジスタのゲート及びワード線を兼ねる配線を、互いに隣接するビット線の間で分岐して前記ビット線と平行に延在させると共に、この配線の延在部の一部をゲートとして前記隣接するビット線それぞれのセル拡散層と連続させることを特徴とする半導体記憶装置。

【請求項2】 マスクROMのビット線をブリチャージするブリチャージ回路と、

前記ビット線の電位を検出して前記マスクROMのデータを読み出すセンスアンプとを有する半導体記憶装置において、

前記ビット線の電位または前記センスアンプの出力電位に応じて前記ブリチャージ回路のブリチャージ電流を変化するブリチャージ制御回路を有することを特徴とする半導体記憶装置。

【請求項3】 請求項2記載の半導体記憶装置において、

前記ビット線の電位を増幅して前記センスアンプに供給するブリアンプを有することを特徴とする半導体記憶装置。

【請求項4】 請求項2または3記載の半導体記憶装置において、

前記ブリチャージ回路の制御により前記ビット線の電位を低下させる電位引き下げ回路を有することを特徴とする半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に関し、特に、低消費電力及び高速性を両立するマスクROMの半導体記憶装置に関する。

## 【0002】

【従来の技術】図1は従来装置であるマスクROMのセンス回路部分の一例の回路図、図2は従来装置であるマスクROMのROMセルの一例の平面レイアウト見取り図を示す。図1において、ビット線BL0には複数のROMセルのNチャネルMOSトランジスタ（セルトランジスタ）のドレインが接続される。これらのROMセルのゲートはワード線WL0、WL1、…それぞれに接続され、ソースは電源VSSに接続されており、ドレインがビット線BL0に接続されたものがデータ0、ドレインがビット線BL0に接続されていないものがデータ1に対応する。

【0003】ビット線BL0はコラム選択回路及びチャージトランスファープリアンプを構成するNチャネルMOSトランジスタ10-0を介してインバータセンスアンプ12の入力端子に接続されている。トランジスタ10-0のゲートにはコラム信号COL0が供給される。

また、インバータセンスアンプ12の入力端子には隣接するビット線BL1等のチャージトランスファープリアンプを構成するNチャネルMOSトランジスタ10-1等が接続されると共に、ブリチャージ回路を構成するPチャネルMOSトランジスタ14のドレインが接続されている。トランジスタ14はソースを電源VCCに接続され、ゲートにブリチャージ信号PUが供給される。

【0004】図2において、斜線部はROMセルを構成するN型の拡散層16を示す。拡散層16は各ROMセルに対応して拡散層基部17から図中縦方向に延在する複数の突出部18を有しており、これらの突出部18上に縦方向に延在するアルミニウムのビット線BL0、BL1、BL2が積層されている。また、突出部18上のビット線BL0、BL1、BL2下には横方向に延在するセルトランジスタのポリシリコン19がワード線WL0として積層されている。

【0005】上記のビット線BL0、BL1、BL2のピッチ間隔は0.9[単位は例えばμm]で、突出部18の幅は0.6で、ポリサイドゲート19の幅は0.3である。このため、コンタクトホール20によってビット線BL1が拡散層基部17と接続されているとき、このセルトランジスタのゲート長は0.6と表される。

## 【0006】

【発明が解決しようとする課題】従来装置では、図3

(A)にPUで示す波形のブリチャージ信号でブリチャージ回路のトランジスタ14を駆動し、WLで示す波形の信号でワード線WL0を駆動した場合、セルトランジスタのビット線BL0との接続の有無により、ビット線BL0の電位は図3(B)に破線及び実線で示すように変化し、かつ、インバータセンスアンプ12の入力電位は図3(B)に二点鎖線及び一点鎖線で示すように変化し、これをインバータセンスアンプ12の閾値で判別している。

【0007】ここで、消費電力削減のために電源電圧VCCを下げると、図4(A)に示すようにワード線駆動信号WLのパルス振幅が減少するため、セルトランジスタの駆動能力が低下する。これを補償するためには、セルトランジスタのゲート幅の拡幅が必要となる。しかし、これはセル面積の増大をもたらすという問題があった。

【0008】一方、インバータセンスアンプ12では、消費電力削減のために電源電圧VCCを下げると、ビット線BL0のブリチャージに要する時間が長くなり、ビット線BL0の電位は図4(B)に実線及び破線で示すように低下し、インバータセンスアンプ12の入力電位も同様に低下し、加えて一点鎖線及び二点鎖線で示すようにデータ1、0に対応する電位差が小さくなる。これは、ビット線1本あたりのセルトランジスタの接続数や、インバータセンスアンプ1個あたりのコラム数が多

くなるほど顕著になる。

【0009】しかし、これを補償するために、プリチャージ用トランジスタ14のゲート幅を広げプリチャージ能力を強化しても、セルトランジスタの駆動能力が低下しているため、ビット線BL0の電位は図5(B)に実線及び破線で示すように多少改善されるものの、インバータセンサンプ12の入力電位は一点鎖線及び二点差線で示すようにデータ1、0に対応する電位差が小さくなり、センス動作が困難になるという問題があった。

【0010】本発明は、上記の点に鑑みてなされたものであり、電源電圧を下げた場合のセルトランジスタの駆動能力低下、及びプリチャージ能力の低下による動作速度の低下を防止して、消費電力を低減する半導体記憶装置を提供することを目的とする。

【0011】

【課題を解決するための手段】請求項1に記載の発明は、マスクROMを形成した半導体記憶装置において、前記マスクROMのNOR型ROMセルを構成するトランジスタのゲート及びワード線を兼ねる配線を、互いに隣接するビット線の間で分岐して前記ビット線と平行に延在させると共に、この配線の延在部の一部をゲートとして前記隣接するビット線それぞれのセル拡散層と連続させる。

【0012】このように、ゲート及びワード線を兼ねる配線をビット線の間で分岐してビット線と平行に延在させ、この配線の延在部の一部をゲートとして隣接するビット線のセル拡散層と連続させることにより、セル面積の増大を抑えながらROMセルのトランジスタの実効ゲート長を増加することができ、このトランジスタの駆動能力を増大させることができる。

【0013】請求項2に記載の発明は、マスクROMのビット線をプリチャージするプリチャージ回路と、前記ビット線の電位を検出して前記マスクROMのデータを読み出すセンサンプとを有する半導体記憶装置において、前記ビット線の電位または前記センサンプの出力電位に応じて前記プリチャージ回路のプリチャージ電流を可変するプリチャージ制御回路を有する。

【0014】このように、ビット線の電位またはセンサンプの出力電位に応じてプリチャージ回路のプリチャージ電流を可変するため、まず、ビット線を急速にプリチャージし、電位が上がったところでプリチャージ回路の一部または全部を停止させると、この時点からROMセルのデータに応じた電位差が急速に大きくなるので、高速度なセンス動作が可能となる。

【0015】請求項3に記載の発明は、請求項2記載の半導体記憶装置において、前記ビット線の電位を増幅して前記センサンプに供給するブリアンプを有する。このように、ブリアンプでビット線の電位を増幅するため、ROMセルのデータに応じた電位差を大きくすることができ、高速度なセンス動作が可能となる。

【0016】請求項4に記載の発明は、請求項2または3記載の半導体記憶装置において、前記プリチャージ回路の制御により前記ビット線の電位を低下させる電位引き下げ回路を有する。このように、プリチャージ回路の制御によりビット線の電位を低下させるため、プログラムデータによりビット線容量が変動したときのROMセルのデータ0でのセンサンプの誤動作を防止できる。

【0017】

【発明の実施の形態】図6は本発明装置であるマスクROMのNOR型ROMセルの一実施例の平面レイアウト見取り図、図7はその等価回路図を示す。図6において、斜線部はROMセルを構成するN型の拡散層26を示す。拡散層26は各ROMセルに対応して拡散層基部27から図中縦方向に延在する複数の突出部28を有しており、これらの突出部28上には横方向に延在するアルミニウムのビット線BL0、BL1、BL2が積層されている。また、拡散層基部27上のビット線BL0、BL1、BL2上には横方向に延在するセルトランジスタのポリシリコンゲート29がワード線WL0を兼ねて積層されている。このポリシリコンゲート29は、ビット線BL0、BL1、BL2に対してかみ合い状態で縦方向に延在して拡散層基部27より外側に出る複数の突出部（延在部）30を有している。

【0018】ここで、上記のビット線BL0、BL1、BL2のピッチ間隔は1.1〔単位は例えばμm〕で、突出部30の幅間隔は0.8で、ポリシリコンゲート29の縦幅及び突出部30の横幅は0.3であり、突出部30が拡散層基部27に重なっている縦方向長さは0.3である。コンタクトホール32だけでビット線BL1が拡散層基部27と接続されているときの等価回路は図7に示すようになり、ビット線BL1とポリシリコンゲート29との交差部直下のゲート長0.8のトランジスタQ1と、ビット線BL0、BL1間の突出部30のゲート長0.4のトランジスタQ2と、ビット線BL0とポリシリコンゲート29との交差部直下のゲート長0.8のトランジスタQ3と、ビット線BL1、BL2間の突出部30のゲート長0.4のトランジスタQ4と、ビット線BL2とポリシリコンゲート29との交差部直下のゲート長0.8のトランジスタQ5とが形成される。この場合、トランジスタQ1～Q5全体の合成ゲート長は1.33となる。

【0019】一方、図8のROMセルの一例の平面レイアウト見取り図に示すように、コンタクトホール32でビット線BL1が拡散層基部27と接続され、コンタクトホール33でビット線BL0が拡散層基部27と接続され、コンタクトホール34でビット線BL2が拡散層基部27と接続された場合の等価回路を図9に示す。ここで、ビット線BL1が読み出し選択されるタイミングでは、これに隣接するビット線BL0、BL2はディスチャージされているため、トランジスタQ2、Q4から

ビット線BL0、BL2側に電流が流れ、トランジスタQ1〜Q5全体の合成ゲート長は実効的に1.33より大きくなる。

【0020】本実施例では、ビット線のピッチが従来の0.9に対して僅かに大きい1.1となるものの、セルトランジスタの実効ゲート長が従来の0.6の2.2倍の1.33以上へと大幅に改善される。このため、消費電力削減のために電源電圧VCCを下げワード線駆動信号WLのパルス振幅が減少しても、セルトランジスタの駆動能力が十分に大きいため動作速度の低下を補うことができる。

【0021】図10は本発明装置であるマスクROMのセンス回路部分の原理図を示す。この図は以下に説明する各実施例をブロック的に示している。図10において、ROMセル40はワード線41で選択され、選択されたROMセルがコラム選択信号で選択されたビット線43を通してプリアンプ（チャージトランスファプリアンプ）44に接続される。このチャージトランスファプリアンプ44で増幅された信号はセンスアンプ（インバータセンスアンプ）46で読み取られて出力される。

【0022】プリチャージ制御回路48はセンスアンプ46出力またはプリアンプ44出力に応じてプリチャージ回路50を制御してビット線43のプリチャージの強さや期間を可変する。また、プリチャージ制御回路48はセンスアンプ46出力またはプリアンプ44出力に応じて電位引き下げ回路52を制御してプリアンプ44の入力電位の引き下げを行う。

【0023】図11は本発明装置であるマスクROMのセンス回路部分の第1実施例の回路図、図12（A）、（B）はその動作説明用の信号波形図を示す。この図は16コラム選択の場合を示している。図11において、ビット線BL0〜BL15それぞれには、リセット信号RSTで駆動されるリセット用NチャンネルMOSトランジスタMR0〜MR15を介して電源VSSに接続されると共に、コラム選択回路兼チャージトランスファプリアンプを形成するNチャンネルMOSトランジスタMT0〜MT15を介してセンスアンプ46の入力端子であるセンスノードSNに接続されている。

【0024】センスノードSNは、プルアップ信号PUで駆動されるPチャンネルMOSトランジスタMP1を介して電源VCCに接続されると共に、プルアップ信号PUで駆動されるPチャンネルMOSトランジスタMP2と、センスアンプ46出力S/AOUTで駆動されるNチャンネルMOSトランジスタMN2との縦型接続回路の並列接続を介して電源VCCに接続されている。上記のトランジスタMT0〜MT15がプリアンプ44に対応し、トランジスタMP1、MP2がプリチャージ回路50に対応し、トランジスタMN2がプリチャージ制御回路48に対応する。

【0025】ここで、各部信号波形を図12（A）、

（B）に示す。なお、センスノードSN、センスアンプ46出力S/AOUT、ビット線BLそれぞれについてデータが1の場合を実線、データが0の場合を破線で示す。データの読み出しはコラム選択信号COL0〜COL15のうちの1つをハイレベルにしてビット線1本を選択して行う。図12（B）に示すタイミング①〜⑥の動作を説明する。

【0026】①初期状態。リセット信号RSTがハイレベルなのでリセットされており、ビット線BL、センスノードSNがローレベル、センスアンプ出力S/AOUTがハイレベルとなっている。

②リセットを解除、プリチャージ信号PUをローレベルに、ワード線WLをハイレベルにすると、ビット線BL、センスノードSNのプリチャージが開始される。トランジスタMN2はオン状態にある。ビット線BLのプリチャージがセルトランジスタの拡散容量などの負荷のために比較的ゆっくりであるのに対し、センスノードSNはトランジスタMP1、MP2により急速にプリチャージされる。

③センスノードSNの電位の上昇により、トランジスタMN2のゲート・ソース間電圧が下がりオフとなる。このため、トランジスタMP2によるプリチャージ経路がオフとなってプリチャージが弱まり、センスノードSNの電位の上昇が遅くなる。

④ビット線BL電位の上昇により、対応するトランジスタMTi（iは1〜15）のゲート・ソース間電圧が下がり、コンダクタンスの低い状態となる。セルトランジスタのデータが1の場合、データ0の場合のようにビット線BL電位がセルトランジスタにより電源VSS側に引っ張られることが無いので、ビット線BL電位の上昇が速い。このため、トランジスタMTiのゲート・ソース間電圧がデータ0よりも小さくなり、コンダクタンスが特に低くなって、センスノードSN電位が急上昇する。データ0の場合のセンスノードSN電位の上昇はそれほどでもない。これより、データが0の場合と1の場合とでセンスノードSN電位差が大きくなる。

【0028】⑤データ1でのセンスノードSN電位がセンスアンプ46の閾値を越えると、センスアンプ出力S/AOUTがハイレベルからローレベルに反転する。データ0でのセンスノードSN電位はセンスアンプ46の閾値を越えないように設計してあるので、センスアンプ出力S/AOUTは反転しない。これよりセンスアンプ出力S/AOUTの値が確定する。

【0029】⑥プリチャージ信号PUをハイレベルに、ワード線WLをローレベルにし、リセット信号RSTをハイレベルにしてリセットをかける。

このようにして、プリチャージの初期でSNを急速に充電し、その後プリチャージを弱くしてデータ0、1の判別を可能としている。①〜⑥の一連の動作により、低電源電圧下でのROMデータの高速読み出しが可能とな

る。

【0030】図13は本発明装置であるマスクROMのセンス回路部分の第2実施例の回路図、図14(A)、(B)はその動作説明用の信号波形図を示す。この図は16コラム選択の場合を示している。図13において、ビット線BL0~BL15それぞれには、リセット信号RSTで駆動されるリセット用NチャンネルMOSトランジスタMR0~MR15を介して電源VSSに接続されると共に、コラム選択回路兼チャージトランスファブリアンブを形成するNチャンネルMOSトランジスタMT0~MT15を介してセンスノードSNに接続されている。

【0031】センスノードSNは、プルアップ信号PUで駆動されるPチャンネルMOSトランジスタMP1を介して電源VCCに接続されると共に、プルアップ信号PUで駆動されるPチャンネルMOSトランジスタMP2と、電源VCCで駆動されるNチャンネルMOSトランジスタMT20との縦型接続回路の並列接続を介して電源VCCに接続されている。トランジスタMP2とトランジスタMT20との接続点であるセンスノードSN2が

【0032】上記のトランジスタMT0~MT15とトランジスタMT20が2段構成のチャージトランスファブリアンブを形成してブリアンブ44に対応し、トランジスタMP1、MP2、MT20がブリチャージ回路50に対応し、また、トランジスタMT20がブリチャージ制御回路48に対応する。ここで、各信号波形を図14(A)、(B)に示す。なお、センスノードSN、センスアンプ46出力S/AOUT、ビット線BLそれぞれについてデータが1の場合を真線、データが0の場合を破線で示す。データの読み出しはコラム選択信号COL0~COL15のうちの1つをハイレベルにしてビット線1本を選択して行う。図14(B)に示すタイミング③~⑤の動作を説明する。

【0033】③初期状態。リセット信号RSTがハイレベルなのでリセットされており、ビット線BL、センスノードSN、SN2がローレベル、センスアンプ出力S/AOUTがハイレベルとなっている。

④リセットを解除、ブリチャージ信号PUをローレベルに、ワード線WLをハイレベルにすると、ビット線BL、センスノードSN、SN2のブリチャージが開始される。

【0034】⑤センスノードSNの電位の上昇により、対応するトランジスタMTiのゲート・ソース間電圧が下がり、コンダクタンスの低い状態となって、センスノードSN、SN2の電位がビット線BL電位に対し上昇し始める。ここでも、データ1のときのセンスノードSN、SN2電位の上昇が顕著で、データ0のときはあまり上がらない。

【0035】⑥センスノードSN電位の上昇により、n

MOSトランジスタMT20のゲート・ソース間電圧が下がり、コンダクタンスが低くなって、SN2の電位がセンスノードSN電位に対し急上昇し始める。データ1のときのSN2電位の上昇が顕著で、データ0のときはあまり上がらない。③、④より、データが0か1かでSN2電位の差が大きく開くようになる。

【0036】⑦データ1でのセンスノードSN2電位がセンスアンプ46の閾値を超えると、センスアンプ出力S/AOUTがハイレベルからローレベルに反転する。データ0でのセンスノードSN2電位はセンスアンプ46の閾値を超えないように設計してあるので、センスアンプ出力S/AOUTは反転しない。これよりセンスアンプ出力S/AOUTの値が確定する。

【0037】⑧ブリチャージ信号PUをハイレベルに、ワード線WLをローレベルにし、リセット信号RSTをハイレベルにしてリセットをかける。これにより、チャージトランスファブリアンブ2段で増幅し、低電源電圧下でのROMセルのデータの高速読み出しが可能となる。また、図15に示すようにチャージトランスファブリアンブを3段以上の多段構成にすることも考えられる。ここでは、センスノードSNは、プルアップ信号PUで駆動されるPチャンネルMOSトランジスタMP1を介して電源VCCに接続されると共に、プルアップ信号PUで駆動されるPチャンネルMOSトランジスタMP2と、電源VCCで駆動されるNチャンネルMOSトランジスタMT20との縦型接続回路を介して電源VCCに接続されている。

【0038】さらに、センスノードSN2は、プルアップ信号PUで駆動されるPチャンネルMOSトランジスタMP3と、電源VCCで駆動されるNチャンネルMOSトランジスタMT30との縦型接続回路を介して電源VCCに接続されている。トランジスタMP3とトランジスタMT30との接続点であるセンスノードSN3がセンスアンプ46の入力端子に接続されている。

【0039】上記のトランジスタMT0~MT15とトランジスタMT20とトランジスタMT30が3段構成のチャージトランスファブリアンブを形成してブリアンブ44に対応し、トランジスタMP1、MP2、MT20、MT30がブリチャージ回路50に対応し、また、トランジスタMT20、MT30がブリチャージ制御回路48に対応する。

【0040】図16は本発明装置であるマスクROMのセンス回路部分の第3実施例の回路図、図17(A)、(B)、(C)はその動作説明用の信号波形図を示す。この図は16コラム選択の場合を示している。図16において、ビット線BL0~BL15それぞれには、リセット信号RSTで駆動されるリセット用NチャンネルMOSトランジスタMR0~MR15を介して電源VSSに接続されると共に、コラム選択回路兼チャージトランスファブリアンブを形成するNチャンネルMOSトランジ

10

20

30

40

50

スタMT0～MT15を介してセンスノードSNに接続されている。

【0041】センスノードSNは、プルアップ信号PUで駆動されるPチャネルMOSトランジスタMP1と、インバータセンスアンプ47出力XSN2で駆動されるNチャネルMOSトランジスタMN1との縦型接続回路を介して電源VCCに接続されると共に、プルアップ信号PUで駆動されるPチャネルMOSトランジスタMP2と、インバータセンスアンプ47出力XSN2で駆動されるNチャネルMOSトランジスタMN21との縦型接続回路を介して電源VCCに接続されている。トランジスタMP2とトランジスタMN21と接続点であるセンスノードSN2がインバータセンスアンプ47の入力端子に接続され、上記のトランジスタMP1、MP2、MN1、MN21、インバータセンスアンプ47がブリチャージ制御系を構成している。

【0042】さらに、センスノードSNは、第2プルアップ信号PU2で駆動されるNチャネルMOSトランジスタMN22を介してセンスノードSN2に接続されると共に、第2プルアップ信号PU2で駆動されるPチャネルMOSトランジスタMP3と、電源VCCで駆動されるNチャネルMOSトランジスタMT30との縦型接続回路を介して電源VCCに接続されている。トランジスタMP3とトランジスタMT30との接続点であるセンスノードSN3がセンスアンプ46の入力端子に接続され、上記のトランジスタMP3、MT30、センスアンプ46がデータ出力系を構成している。

【0043】上記のトランジスタMT0～MT15とトランジスタMT30が2段構成のチャージトランスファブリアンを形成してブリアンブ44に対応し、トランジスタMP1、MP2、MP3、MN1、MN21がブリチャージ回路50に対応し、また、インバータセンスアンプ47及びトランジスタMT30、MN22がブリチャージ制御回路48に対応する。

【0044】ここで、各部信号波形を図17(A)、(B)、(C)に示す。なお、センスノードSN、センスアンプ46出力S/AOUT、ビット線BLそれぞれについてデータが1の場合を黒線、データが0の場合を破線で示す。データの読み出しはコラム選択信号COL0～COL15のうちの1つをハイレベルにしてビット線1本を選択して行う。図14(B)、(C)のブリチャージ制御系及びデータ出力系の波形図に示すタイミング①～⑤の動作を説明する。

【0045】①初期状態。リセット信号RSTがハイレベルなのでリセットされており、ビット線BL、センスノードSN、SN2、SN3がローレベル、インバータセンスアンプ47出力XSN2、センスアンプ出力S/AOUTがハイレベルとなっている。

②リセットを解除、ブリチャージ信号PUをローレベルに、ワード線WLをハイレベルにすると、トランジスタ

MP1、MP2がオンしてビット線BL、センスノードSN、SN2、SN3のブリチャージが開始される。トランジスタMP1の電流駆動能力をROMセルより十分大きく設計すると、ROMセルのデータが0、1に拘わらず図17(B)に示すように急速にブリチャージされる。

【0046】③センスノードSN2の電位が上昇してインバータセンスアンプ47の閾値を越え、インバータセンスアンプ47出力XSN2がハイレベルからローレベルに反転し、トランジスタMN1、MN21がオフとなる。このため、トランジスタMP2、MN22の経路だけでブリチャージが続くことになる。トランジスタMP2の電流駆動能力をROMセルより小さく設計すると、データ0のときのビット線BL、センスノードSNの電位が下がり始める。

【0047】④ブリチャージ信号PU2をローレベルにすると、トランジスタMP3がオンしてセンスノードSN3のブリチャージが始まる。一方では、トランジスタMN22がオフとなるので、他のブリチャージ経路はすべてオフとなる。③の時点でデータ0、1それぞれのセンスノードSN電位に差ができており、チャージトランスファゲートのトランジスタMT30のコンダクタンスにも差ができるので、センスノードSN3電位はデータ1のとき急上昇するが、データ0のときはあまり上がらず、データが0か1かでセンスノードSN3電位の差が大きく開くようになる。

【0048】⑤データ1でのセンスノードSN3電位がセンスアンプ46の閾値を越え、センスアンプ出力S/AOUTがハイレベルからローレベルに反転する。データ0でのセンスノードSN3電位はセンスアンプ46の閾値を越えないように設計してあるので、センスアンプ出力S/AOUTは反転しない。これよりセンスアンプ出力S/AOUTの値が確定する。

【0049】⑥ブリチャージ信号PU、PU2をハイレベルに、ワード線WLをローレベルにし、リセット信号RSTをハイレベルにしてリセットをかける。このようにして、センス回路内の電位(センスノードSN2)をモニタしてブリチャージを制御することにより、低電源電圧下でのROMデータの高速読み出しが可能となる。

【0050】図18は本発明装置であるマスクROMのセンス回路部分の第4実施例の回路図を示す。この図は16コラム選択の場合を示している。図18において、ビット線BL0～BL15それぞれには、リセット信号RSTで駆動されるリセット用NチャネルMOSトランジスタMR0～MR15を介して電源VSSに接続されると共に、コラム選択回路兼チャージトランスファブリアンを形成するNチャネルMOSトランジスタMT0～MT15を介してセンスノードSNに接続されている。

【0051】センスノードSNは、プルアップ信号PU

で駆動されるPチャネルMOSトランジスタMP1と、インバータセンスアンプ47出力XSN2で駆動されるNチャネルMOSトランジスタMN1との縦型接続回路を介して電源VCCに接続されると共に、ブルアップ信号PUで駆動されるPチャネルMOSトランジスタMP2と、インバータセンスアンプ47出力XSN2で駆動されるNチャネルMOSトランジスタMN21との縦型接続回路を介して電源VCCに接続されている。トランジスタMP2とトランジスタMN21と接続点であるセ

ンスノードSN2がインバータセンスアンプ47の入力端子に接続され、上記のトランジスタMP1、MP2、MN1、MN21、インバータセンスアンプ47がブリチャージ制御系を構成している。

【0052】さらに、センスノードSNは、第2ブルアップ信号PU2で駆動されるNチャネルMOSトランジスタMN22を介してセンスノードSN2に接続されると共に、第2ブルアップ信号PU2で駆動されるPチャネルMOSトランジスタMP3と、電源VCCで駆動されるNチャネルMOSトランジスタMT30との縦型接続回路を介して電源VCCに接続されている。トランジスタMP3とトランジスタMT30との接続点であるセ

ンスノードSN3がセンスアンプ46の入力端子に接続され、上記のトランジスタMP3、MT30、センスアンプ46がデータ出力系を構成している。

【0053】また、センスノードSNは、ゲートをセンスノードSN2に接続されたNチャネルMOSトランジスタMD1と、インバータセンスアンプ47出力XSN2で駆動されるNチャネルMOSトランジスタMD2との縦型接続回路を介して電源VSSに接続されている。上記のトランジスタMT0～MT15とトランジスタMT30が2段階構成のチャージトランスファブリアンチを形成してブリアンチ44に対応し、トランジスタMP1、MP2、MP3、MN1、MN21がブリチャージ回路50に対応し、また、インバータセンスアンプ47及びトランジスタMT30、MN22がブリチャージ制御回路48に対応し、NチャネルMOSトランジスタMD1、MD2が電位引き下げ回路52に対応する。

【0054】図16の実施例では、ブルアップ信号PU2をハイレベルからローレベルにした直後において、プログラムデータによってはビット線容量が小さくなり、データ0でのセンスノードSN3電位が高くなり、センスアンプ46の閾値を越えて誤動作してしまう場合がある。これは、セルのデータが0のときコンタクトを介してビット線にセルトランジスタの拡散容量がかかるため、ビット線当たりのデータが0を持つセルの数が少ないとビット線容量が小さくなり、短い時間で充電可能となる。

【0055】ここで、図17(B)、(C)の③～④の時点で、センスノードSNやセンスノードSN3の電位を一定期間引き下げる回路を追加すると、データ0での

センスノードSN3電位がセンスアンプ46の閾値を越えにくくなり、センス回路の信頼性の向上をもたらす。つまり、電位引き下げ回路52をオンにすると、ビット線容量の小さい方が急速に電位が下がるのでビット線容量が変動したときの充電電位のばらつきを小さくし、誤動作を減らすことができる。

【0056】図18に示す回路の初期状態では、センスノードSN2がローレベル、インバータセンスアンプ47出力XSN2がハイレベルなので、トランジスタMD1がオフ、トランジスタMD2がオンの状態で、センスノードSNと電源VSS間は導通していない。ブリチャージによりセンスノードSN2がハイレベルになると、インバータセンスアンプ47により出力XSN2がローレベル反転するので、トランジスタMD1がオン、トランジスタMD2がオフの状態に変わるが、インバータセンスアンプ47での遅延時間の分だけトランジスタMD2のオフがトランジスタMD1のオンより遅くなり、一瞬だけセンスノードSNと電源VSS間が導通し、センスノードSN電位を引き下げる。これにより、プログラムデータによりビット線容量が変動したときのセンス回路の誤動作が少なくなり、信頼性が向上する。

【0057】なお、半導体集積回路の製造方法によっては、複数回の閾値を用いる場合がある。この場合、上記の実施例の回路を構成するトランジスタのいずれにどの閾値を適用するかについては適宜判断して用いられよい。

【0058】

【発明の効果】上述の如く、請求項1に記載の発明は、マスクROMのROMセルを構成するトランジスタのゲート及びワード線を兼ねる配線を、互いに隣接するビット線の間で分岐して前記ビット線と平行に延在させると共に、この配線の延在部の一部をゲートとして前記隣接するビット線それぞれのセル拡散層と連続させる。

【0059】このように、ゲート及びワード線を兼ねる配線をビット線の間で分岐してビット線と平行に延在させ、この配線の延在部の一部をゲートとして隣接するビット線のセル拡散層と連続させることにより、セル面積の増大を抑えながらROMセルのトランジスタの実効ゲート長を増加することができる。このトランジスタの駆動能力を増大することができる。

【0060】請求項2に記載の発明は、ビット線の電位またはセンスアンプの出力電位に応じてブリチャージ回路のブリチャージ電流を可変するブリチャージ制御回路を有する。このように、ビット線の電位またはセンスアンプの出力電位に応じてブリチャージ回路のブリチャージ電流を可変するため、まず、ビット線を急速にブリチャージし、電位が上がったところでブリチャージ回路の一部または全部を停止させると、この時点からROMセルのデータに応じた電位差が急速に大きくなるので、高速なセンス動作が可能となる。



【0061】請求項3に記載の発明は、ビット線の電位を増幅して前記センスアンプに供給するプリアンプを有する。このように、プリアンプでビット線の電位を増幅するため、ROMセルのデータに応じた電位差を大きくすることができ、高速なセンス動作が可能となる。請求項4に記載の発明は、プリチャージ回路の制御により前記ビット線の電位を低下させる電位引き下げ回路を有する。

【0062】このように、プリチャージ回路の制御によりビット線の電位を低下させるため、プログラムデータによりビット線容量が変動したときのROMセルのデータ0でのセンスアンプの誤動作を防止できる。

【図面の簡単な説明】

【図1】従来装置であるマスクROMのセンス回路部分の一例の回路図である。

【図2】従来装置であるマスクROMのROMセルの一例の平面レイアウト見取り図である。

【図3】従来装置における信号波形図である。

【図4】従来装置における信号波形図である。

【図5】従来装置における信号波形図である。

【図6】本発明装置であるマスクROMのROMセルの一例の平面レイアウト見取り図である。

【図7】図6の等価回路図である。

【図8】本発明装置であるマスクROMのROMセルの一例の平面レイアウト見取り図である。

【図9】図8の等価回路図である。

【図10】本発明装置であるマスクROMのセンス回路部分の原理図である。

\*

\*【図11】本発明装置であるマスクROMのセンス回路部分の第1実施例の回路図である。

【図12】図11の動作説明用の信号波形図である。

【図13】本発明装置であるマスクROMのセンス回路部分の第2実施例の回路図である。

【図14】図13の動作説明用の信号波形図である。

【図15】本発明装置であるマスクROMのセンス回路部分の第2実施例の変形例の回路図である。

【図16】本発明装置であるマスクROMのセンス回路部分の第3実施例の回路図である。

【図17】図16の動作説明用の信号波形図である。

【図18】本発明装置であるマスクROMのセンス回路部分の第4実施例の回路図である。

【符号の説明】

26 拡散層

27 拡散層基部

28 突出部

29 ポリシリコンゲート

30 突出部

20 40 ROMセル

41 ワード線

43 ビット線

44 チャージトランスファプリアンプ

46 センスアンプ（インバータセンスアンプ）

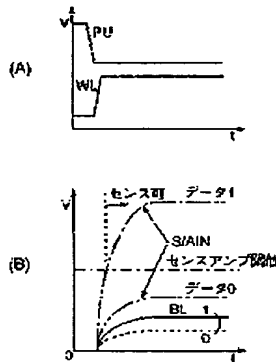
47 インバータセンスアンプ

48 プリチャージ制御回路

50 プリチャージ回路

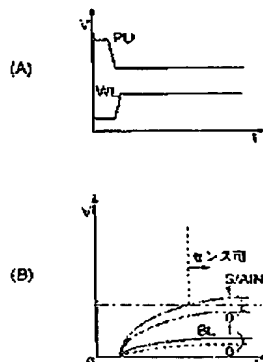
【図3】

従来装置における信号波形図



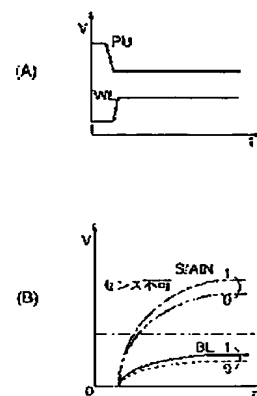
【図4】

従来装置における信号波形図



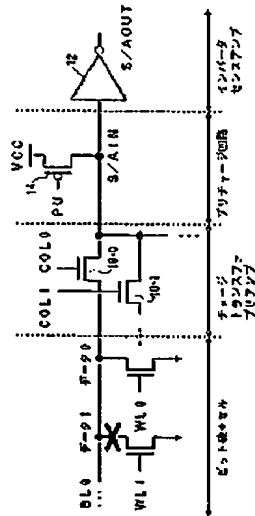
【図5】

従来装置における信号波形図



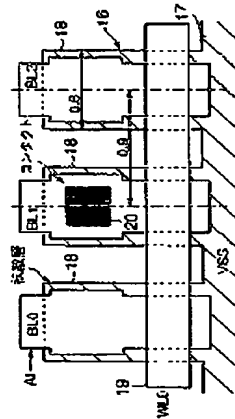
【図1】

従来装置であるマスクROMのセンス回路部分の一側の回路図



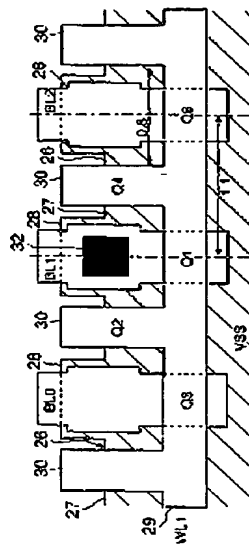
【図2】

従来装置であるマスクROMのROMセルの一例の平面レイアウト見取り図



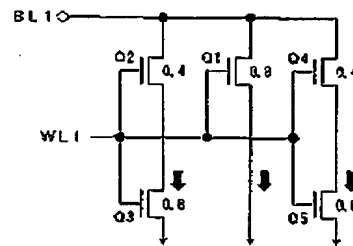
【図6】

本発明装置であるマスクROMのROMセルの一例の平面レイアウト見取り図



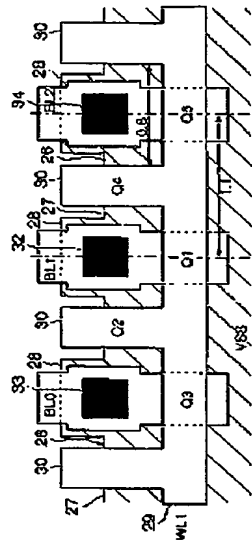
【図7】

図6の等価回路図



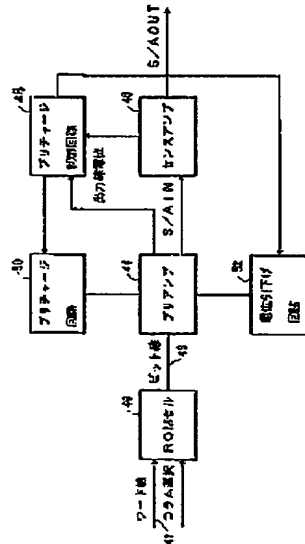
【図8】

本発明装置であるマスクROMのROMセルの一実施例の平面レイアウト見取り図



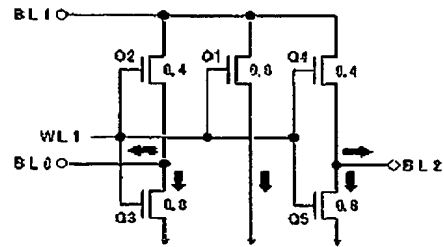
【図10】

本発明装置であるマスクROMのセンス回路部分の回路図



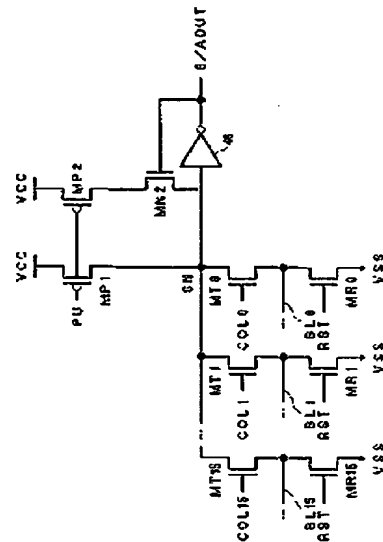
【図9】

図8の等価回路図



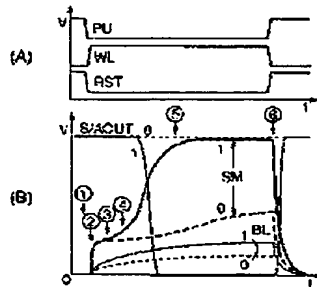
【図11】

本発明装置であるマスクROMのセンス回路部分の第1実施例の回路図

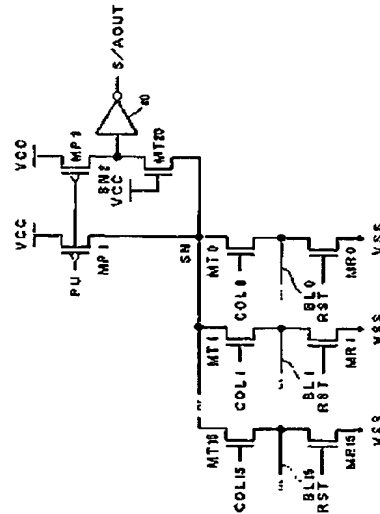


【図12】

図11の動作説明用の信号波形図

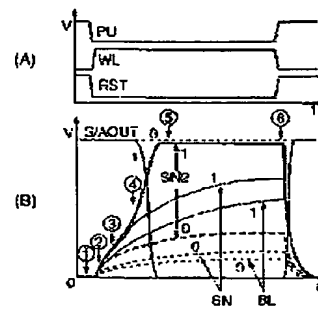


【図13】

本発明装置であるマスクROMの  
センス回路部分の第2実施例の回路図

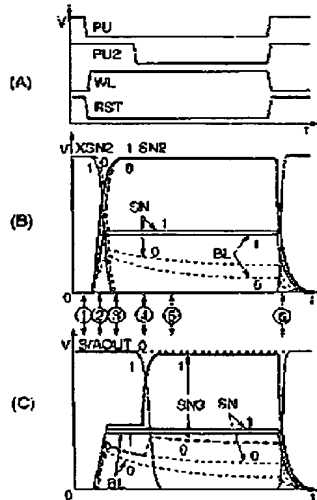
【図14】

図13の動作説明用の信号波形図



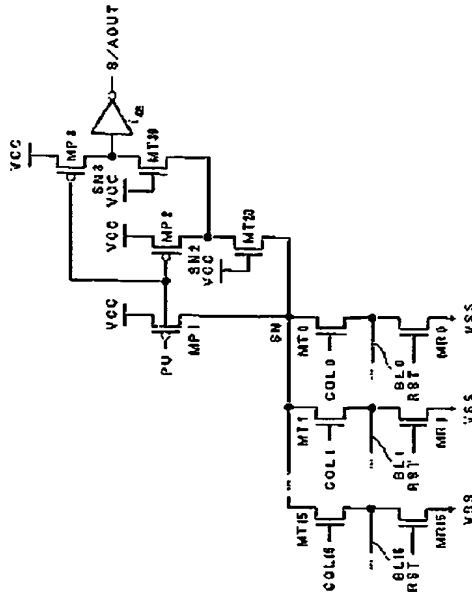
【図17】

図16の動作説明用の信号波形図



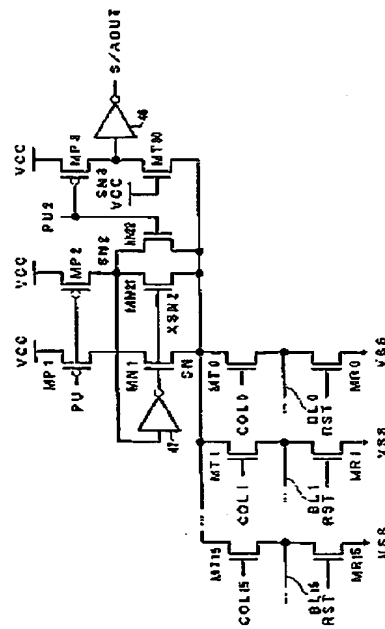
【図15】

本発明装置であるマスクROMのセンス回路部分の  
第2実施例の変形例の回路図



【図16】

本発明装置であるマスクROMの  
センス回路部分の第3実施例の回路図



【図18】

本発明装置であるマスクROMの  
センス回路部分の第4実施例の回路図

